



Japan Patent Office

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: December 13, 2002

Application Number: Japanese Patent Application  
No.2002-362149

[ST.10/C]: [JP2002-362149]

Applicant(s): RICOH COMPANY, LTD.

November 19, 2003

Commissioner,  
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3095381



Docket No.: R2184.0285/P285  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Hideki Agari et al.

Application No.: 10/726,626

Confirmation No.: 5740

Filed: December 4, 2003

Art Unit: 2838

For: POWER SUPPLY IC HAVING  
SWITCHING REGULATOR AND SERIES  
REGULATOR

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Missing Parts  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following  
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-362149	December 13, 2002

Application No.: 10/726,626

Docket No.: R2184.0285/P285

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 26, 2004

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &  
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2002年12月13日

出願番号  
Application Number:

特願2002-362149

[ST. 10/C]:

[JP 2002-362149]

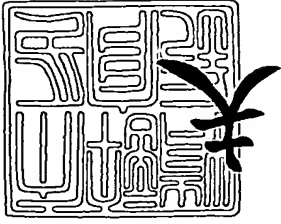
出願人  
Applicant(s):

株式会社リコー

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康

2003年11月19日



【書類名】 特許願

【整理番号】 187162

【提出日】 平成14年12月13日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 3/00

【発明の名称】 電源用 I C 及びその電源用 I C を使用した通信装置

【請求項の数】 14

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 上里 英樹

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 吉井 宏治

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源用 IC 及びその電源用 IC を使用した通信装置

【特許請求の範囲】

【請求項 1】 直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのシリーズレギュレータとを備えた電源回路を集積した、四角形の IC チップで形成された電源用 IC において、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記 IC チップの所定の一边近傍に配置され、前記シリーズレギュレータは、前記 IC チップの該所定の一边と対向する IC チップの辺近傍に配置されることを特徴とする電源用 IC。

【請求項 2】 前記シリーズレギュレータは、高周波回路への電源供給を行うことを特徴とする請求項 1 記載の電源用 IC。

【請求項 3】 前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されることを特徴とする請求項 1 又は 2 記載の電源用 IC。

【請求項 4】 前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるパッドをそれぞれ対応して設けられることを特徴とする請求項 1、2 又は 3 記載の電源用 IC。

【請求項 5】 前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されることを特徴とする請求項 1、2、3 又は 4 記載の電源用 IC。

【請求項 6】 前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、IC チップの対角線近傍にそれぞれ配置されることを特徴とする請求項 1、2、3、4 又は 5 記載の電源用 IC。

【請求項 7】 前記スイッチングレギュレータは、同期整流型の DC-DC コンバータをなすことを特徴とする請求項 1、2、3、4、5 又は 6 記載の電源

用 IC。

【請求項 8】 直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのシリーズレギュレータとを備えた電源回路を集積した、四角形の IC チップで形成された電源用 IC を使用した通信装置において、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記 IC チップの所定の一边近傍に配置され、前記シリーズレギュレータは、前記 IC チップの該所定の一边と対向する IC チップの辺近傍に配置されることを特徴とする通信装置。

【請求項 9】 前記シリーズレギュレータは、高周波回路への電源供給を行うことを特徴とする請求項 8 記載の通信装置。

【請求項 10】 前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されることを特徴とする請求項 8 又は 9 記載の通信装置。

【請求項 11】 前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されることを特徴とする請求項 8、9 又は 10 記載の通信装置。

【請求項 12】 前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されることを特徴とする請求項 8、9、10 又は 11 記載の通信装置。

【請求項 13】 前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、IC チップの対角線近傍にそれぞれ配置されることを特徴とする請求項 8、9、10、11 又は 12 記載の通信装置。

【請求項 14】 前記スイッチングレギュレータは、同期整流型の DC-D C コンバータをなすことを特徴とする請求項 8、9、10、11、12 又は 13 記載の通信装置。

【発明の詳細な説明】

【0001】



**【発明の属する技術分野】**

本発明は、複数の電源回路を搭載する電源用 IC 及びその電源用 IC を使用した通信装置に関し、特に高周波回路に電源供給を行うシリーズレギュレータとスイッチングレギュレータとを搭載した電源用 IC 及びその電源用 IC を使用した通信装置に関する。

**【0002】****【従来の技術】**

CPU や DSP 等のロジック回路は、低消費電力が要求される携帯機器の発達に伴って、例えば 2.5 V から 1.8 V 又は 1.5 V と動作電圧が低下しており、低電圧動作化が進んでいる。このような低電圧動作化が要求される IC への電源供給には、従来のシリーズレギュレータから効率のよいスイッチングレギュレータを使用することが望まれてきている。一方、携帯機器の小型化に対するニーズは高く、従来、別チップにしていた電源部を含むアナログ回路をワンチップにし、小型化を実現しようとしていた。

**【0003】****【発明が解決しようとする課題】**

しかし、携帯電話等の通信装置において、ノイズ源となるスイッチングレギュレータは、高周波ノイズの影響を受けると問題が発生する RF 回路の電源部等とは別チップにし、プリント基板上においてチップ間距離をとることや、チップ間へのフィルタの取り付け等の様々な対策を行わなければならないという問題があった。

**【0004】**

本発明は、上記のような問題を解決するためになされたものであり、高周波ノイズの発生源であるスイッチングレギュレータと RF 回路用のシリーズレギュレータを 1 つのチップにすることができる電源用 IC 及びその電源用 IC を使用した通信装置を得ることを目的とする。

**【0005】****【課題を解決するための手段】**

この発明に係る電源用 IC は、直流電源からの電源電圧から所定の定電圧を生

成して出力する少なくとも 1 つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのシリーズレギュレータとを備えた電源回路を集積した、四角形の I C チップで形成された電源用 I C において、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記 I C チップの所定の一边近傍に配置され、前記シリーズレギュレータは、前記 I C チップの該所定の一边と対向する I C チップの辺近傍に配置されるものである。

**【 0 0 0 6 】**

具体的には、前記シリーズレギュレータは、高周波回路への電源供給を行うものである。

**【 0 0 0 7 】**

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されるようにしてもよい。

**【 0 0 0 8 】**

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるようにしてもよい。

**【 0 0 0 9 】**

一方、前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されるようにしてもよい。

**【 0 0 1 0 】**

また、具体的には、前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、I C チップの対角線近傍にそれぞれ配置されるようにしてもよい。

**【 0 0 1 1 】**

前記スイッチングレギュレータは、同期整流型の D C - D C コンバータをなすようにしてもよい。

**【 0 0 1 2 】**

また、この発明に係る通信装置は、直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのシリーズレギュレータとを備えた電源回路を集積した、四角形の IC チップで形成された電源用 IC を使用した通信装置において、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記 IC チップの所定の一边近傍に配置され、前記シリーズレギュレータは、前記 IC チップの該所定の一边と対向する IC チップの辺近傍に配置されるものである。

#### 【0013】

具体的には、前記シリーズレギュレータは、高周波回路への電源供給を行うものである。

#### 【0014】

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されるようにしてもよい。

#### 【0015】

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるようにしてもよい。

#### 【0016】

一方、前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されるようにしてもよい。

#### 【0017】

また、具体的には、前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、IC チップの対角線近傍にそれぞれ配置されるようにしてもよい。

#### 【0018】

前記スイッチングレギュレータは、同期整流型の DC-DC コンバータをなすようにしてもよい。

## 【0019】

## 【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

## 第1の実施の形態.

図1は、本発明の第1の実施の形態における電源用ICを使用する通信装置の例を示した図である。なお、図1では、通信装置として携帯電話を例にして示している。

## 【0020】

図1において、通信装置1は、複数の電源回路からなる電源回路部2と、オーディオ回路部3と、送受信回路等からなるRF回路部4と、電源回路部2、オーディオ回路部3及びRF回路部4の各部の動作制御を行うCPUロジック回路部5と、表示部6と、アンテナ7と、操作ボタンからなる操作部8と、スピーカ9と、マイク10と、バッテリー11とで構成されている。電源回路部2、オーディオ回路部3、RF回路部4及びCPUロジック回路部5は、1つの基板上にモールドされて1つのモジュール12になっている。

## 【0021】

電源回路部2は、バッテリー11から供給された電源から所定の定電圧を生成して、オーディオ回路部3、RF回路部4及びCPUロジック回路部5にそれぞれ出力して電源供給を行う。CPUロジック回路部5は、操作部8からの操作に応じて電源回路部2、オーディオ回路部3、RF回路部4及び表示部6の各部の動作制御を行う。RF回路部4は、アンテナ7を介して信号の送受信を行い、オーディオ回路部3は、マイク10からの信号が入力され、スピーカ9への信号出力を行う。

## 【0022】

図2は、図1の電源回路部2の構成例を示した図である。なお、図2では、1つのスイッチングレギュレータと3つのシリーズレギュレータを有する場合を例にして示している。

図2において、電源回路部2は、スイッチングレギュレータ21と、シリーズレギュレータSR1～SR3と、バッテリー11に対する充電を制御する充電制御

回路 22 と、SIM カード 27 と CPU ロジック回路部 5 とのインタフェースを行う SIM カードインタフェース回路 23 とを備えている。

#### 【0023】

更に、電源回路部 2 は、バッテリー 11 からの正側電源電圧  $V_{bat}$  に応じてスイッチングレギュレータ 21、シ리즈レギュレータ  $SR1 \sim SR3$ 、充電制御回路 22 及び SIM カードインタフェース回路 23 の動作制御を行うパワーオンロジック回路 24 とを備えている。電源回路部 2 は、一部の集積化不可能な部品を除いて 1 つの IC に集積されており、該 IC は電源用 IC をなす。

#### 【0024】

スイッチングレギュレータ 21、シ리즈レギュレータ  $SR1 \sim SR3$  及び SIM カードインタフェース回路 23 はバッテリー 11 から電源が供給されており、パワーオンロジック回路 24 は、バッテリー 11 の正側電源電圧  $V_{bat}$  をモニタしている。また、充電制御回路 22 は、AC/DC アダプタ 28 から DC 電圧が入力されており、該 DC 電圧を用いたバッテリー 11 への充電制御を行う。

#### 【0025】

パワーオンロジック回路 24 は、バッテリー 11 の正側電源電圧  $V_{bat}$  が所定値以上になると、充電制御回路 22 に対してバッテリー 11 への充電を抑制させる。スイッチングレギュレータ 21 は CPU ロジック回路部 5 への電源供給を行い、シ리즈レギュレータ  $SR1$ 、 $SR2$  は RF 回路部 4 への電源供給を行い、シ리즈レギュレータ  $SR3$  はオーディオ回路部 3 への電源供給を行う。シ리즈レギュレータ  $SR1$  及び  $SR2$  は、CPU ロジック回路部 5 によってイネーブル制御が行われる。

#### 【0026】

図 3 は、スイッチングレギュレータ 21 の回路例を示した図である。なお、図 3 では、スイッチングレギュレータ 21 が同期整流型の DC-DC コンバータをなす場合を例にして示している。

図 3 において、スイッチングレギュレータ 21 は、スイッチングを行うドライバトランジスタをなす P チャネル型 MOS トランジスタ（以下、PMOS トランジスタと呼ぶ）31 と、スイッチングを行うドライバトランジスタをなす N チャ

ネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）32と、該PMOSトランジスタ31及びNMOSトランジスタ32から出力される信号を平滑して出力する平滑回路部33とを備えている。

#### 【0027】

更に、スイッチングレギュレータ21は、所定の基準電圧 $V_r$ を生成して出力する基準電圧発生回路部34と、平滑回路部33から出力される電圧 $V_o$ を分圧して分圧電圧 $V_d$ を生成し出力する分圧回路部35と、基準電圧 $V_r$ に対する分圧電圧 $V_d$ の誤差を増幅して出力する誤差増幅器36と、該誤差増幅器36からの出力信号に応じて前記PMOSトランジスタ31及びNMOSトランジスタ32のスイッチング制御を行う制御回路部37とを備えている。

#### 【0028】

バッテリー11の正側電源電圧 $V_{bat}$ に接続されたパッドVINとバッテリー11の負側電源電圧GNDに接続されたパッドGNDPとの間には、PMOSトランジスタ31及びNMOSトランジスタ32が直列に接続され、PMOSトランジスタ31及びNMOSトランジスタ32の各ゲートは、それぞれ制御回路部37に接続されている。PMOSトランジスタ31とNMOSトランジスタ32の接続部はパッドLXに接続され、該パッドLXと負側電源電圧GNDとの間には平滑回路部33を構成するコイルLとコンデンサCの直列回路が接続されている。コイルLとコンデンサCとの接続部がスイッチングレギュレータ21の出力端をなし、該出力端から所定の電圧 $V_o$ が出力される。

#### 【0029】

該出力電圧 $V_o$ は、パッドOUTを介して分圧回路部35に入力され、分圧回路部35で分圧されて該分圧電圧 $V_d$ が誤差増幅器36の一方の入力端に入力される。分圧回路部35は、抵抗R1及びR2の直列回路で構成され、該直列回路は、出力電圧 $V_o$ に接続されたパッドOUTと負側電源電圧GNDに接続されたパッドGND Aとの間に接続されている。抵抗R1とR2との接続部が、誤差増幅器36の一方の入力端に接続され、該入力端に分圧電圧 $V_d$ が入力されている。また、誤差増幅器36の他方の入力端には基準電圧 $V_r$ が入力され、誤差増幅器36の出力端は制御回路部37に接続されている。

## 【0030】

出力電圧  $V_o$  は分圧回路部 35 で分圧され、該分圧電圧  $V_d$  と基準電圧  $V_r$  との差電圧を誤差増幅器 36 で増幅する。制御回路部 37 は、例えば三角波のパルス信号を発生させる発振回路（図示せず）とコンパレータ（図示せず）とを備え、該発振回路の出力信号と誤差増幅器 36 の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じて PMOS トランジスタ 31 及び NMOS トランジスタ 32 のオン時間を制御する。この際、制御回路部 37 は、PMOS トランジスタ 31 及び NMOS トランジスタ 32 を交互にオンさせて同時にオンしないようにスイッチング制御を行う。PMOS トランジスタ 31 及び NMOS トランジスタ 32 の接続部から出力された信号は、コイル  $L$  及びコンデンサ  $C$  からなる平滑回路部 33 で平滑されて出力電圧  $V_o$  として出力される。

## 【0031】

次に、図 4 は、シリーズレギュレータ  $SR_1 \sim SR_3$  の回路例を示した図である。なお、図 4 では、シリーズレギュレータ  $SR_1 \sim SR_3$  は同じ回路構成をなすものであり、ここでは任意の 1 つのシリーズレギュレータ  $SR_m$  ( $m=1 \sim 3$ ) を例にして説明する。

図 4 におけるシリーズレギュレータ  $SR_m$  は、所定の基準電圧  $V_{rm}$  を生成して出力する基準電圧発生回路部  $RE_m$  と、分圧回路部  $DE_m$  と、誤差増幅器  $AMP_m$  と、該誤差増幅器  $AMP_m$  からゲートに入力される電圧に応じた電流をパッド  $OUT_m$  に出力するドライバトランジスタをなす PMOS トランジスタ  $P_m$  とを備えている。

## 【0032】

正側電源電圧  $V_{bat}$  に接続されたパッド  $V_{ddm}$  とパッド  $OUT_m$  との間に PMOS トランジスタ  $P_m$  が接続され、PMOS トランジスタ  $P_m$  のドレイン電圧が出力電圧  $V_{om}$  になる。パッド  $OUT_m$  と負側電源電圧  $GND$  に接続されたパッド  $GND_S$  との間には、分圧回路部  $DE_m$  を構成する抵抗  $RA_m$  及び  $RB_m$  が直列に接続されており、抵抗  $RA_m$  と  $RB_m$  との接続部から分圧電圧  $V_{dm}$  が出力され、該分圧電圧  $V_{dm}$  は、誤差増幅器  $AMP_m$  の反転入力端に入力される。

## 【0033】

また、誤差増幅器AMP<sub>m</sub>の非反転入力端には、基準電圧V<sub>rm</sub>が入力されており、誤差増幅器AMP<sub>m</sub>の出力端は、PMOSトランジスタP<sub>m</sub>のゲートに接続され、誤差増幅器AMP<sub>m</sub>にはCPUロジック回路部5からイネーブル信号S<sub>Em</sub>が入力されている。イネーブル信号S<sub>Em</sub>がアサートされると、誤差増幅器AMP<sub>m</sub>は動作を停止し、PMOSトランジスタP<sub>m</sub>がオフして出力電圧V<sub>om</sub>の出力が停止する。

## 【0034】

出力電圧V<sub>om</sub>は、分圧回路部D<sub>Em</sub>で分圧され、該分圧電圧V<sub>dm</sub>と基準電圧V<sub>rm</sub>との差電圧を誤差増幅器AMP<sub>m</sub>で増幅してPMOSトランジスタP<sub>m</sub>のゲートに出力される。このように、誤差増幅器AMP<sub>m</sub>は、PMOSトランジスタP<sub>m</sub>の動作制御を行って、出力電圧V<sub>om</sub>が所望の電圧で一定になるようにしている。

## 【0035】

図5は、図2の電源回路部2をなす電源用ICを示した概略図であり、図5では、ICチップ上におけるスイッチングレギュレータ21と、シリーズレギュレータSR1～SR3の配置例を示している。なお、図5では、イネーブル信号S<sub>Em</sub>が入力されるパッドは省略して示している。

図5において、スイッチングレギュレータ21のPMOSトランジスタ31（図5ではPMOST<sub>r</sub>と示す。）及びNMOSトランジスタ32（図5ではNMOST<sub>r</sub>と示す。）は、4角形をなすICチップ40の所定の一辺41の近傍に配置され、シリーズレギュレータSR1～SR3の各PMOSトランジスタP1～P3は、ICチップ40の一辺41に対向する辺42の近傍に配置される。また、スイッチングレギュレータ21とシリーズレギュレータSR1～SR3は、ICチップ40の対角線上にはほぼ位置するように配置されている。

## 【0036】

また、スイッチングレギュレータ21における、基準電圧発生回路部34、分圧回路部35、誤差増幅器36及び制御回路部37は図5のコントローラ43で示した部分に配置され、PMOSトランジスタ31及びNMOSトランジスタ3



2の近傍に配置している。同様に、シリーズレギュレータSR1～SR3において、基準電圧発生回路部RE1～RE3、分圧回路部DE1～DE3及び誤差増幅器AMP1～AMP3は、対応する図5のコントローラ44～46で示した部分にそれぞれ配置され、対応するPMOSトランジスタP1～P3の近傍に配置される。

#### 【0037】

一方、電源回路部2におけるその他の回路、すなわち充電制御回路25、SIMカードインタフェース回路26及びパワーオンロジック回路27は、ICチップ40の中央部分47に配置されている。また、パッドVDD、VIN、Vdd1～Vdd3、VddCは、バッテリー11からの正側電源電圧Vbatにそれぞれ接続され、パッドGNDP、GNDA、GNDS、GND Cはバッテリー11の負側電源電圧GNDにそれぞれ接続されている。平滑回路部33のコイルLとコンデンサCは、パッドLXを介してICチップ40に外付けされている。

#### 【0038】

図6は、800kHzで発振しているスイッチングレギュレータとシリーズレギュレータとの距離とノイズレベルの関係を示した図である。

図6から分かるように、スイッチングレギュレータからシリーズレギュレータを1.5mm離すことにより、スイッチングレギュレータとシリーズレギュレータとの距離が0.2mmの場合よりもノイズが5%程度低減していることが分かる。図5で示した電源用ICのチップサイズは、一辺が3mmであることから、図5のように、スイッチングレギュレータ21のドライバトランジスタを辺41の近傍に配置し、各シリーズレギュレータSR1～SR3の各ドライバトランジスタをそれぞれ辺42の近傍に配置することによって、スイッチングレギュレータ21から発生したノイズに対する各シリーズレギュレータSR1～SR3への影響を低減させることができる。

#### 【0039】

なお、前記説明では、同期整流型のDC-DCコンバータをなすスイッチングレギュレータを使用した場合を例にして説明したが、図3において、NMOSトランジスタ32の代わりにフライホイールダイオードをなすダイオード51を使

用してもよく、このようにした場合、図3のスイッチングレギュレータ21は、図7のようになる。なお、図7では、図3と同じもの又は同様のものは同じ符号で示しており、フライホイールダイオードを使用したスイッチングレギュレータは公知であり、ここではその動作の説明を省略する。

#### 【0040】

図7で示したようなスイッチングレギュレータを使用した場合、図5の電源用ICを示した概略図は、図8のようになる。なお、図8では、図5と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に、図5との相違点のみ説明する。

図8における図5との相違点は、NMOSトランジスタ32が配置されていた位置にフライホイールダイオードをなすダイオード51を設けるようにしたことにある。これ以外は、図5と同様であるのでその説明を省略する。

#### 【0041】

また、図3及び図7では降圧型のスイッチングレギュレータを例にして示したが、昇圧型のスイッチングレギュレータの場合は図9のようになる。なお、図9では、図3と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略する。

図9において、スイッチングレギュレータ21は、ゲートに入力される制御信号に応じてスイッチングを行うスイッチングトランジスタをなすNMOSトランジスタ61と、該NMOSトランジスタ61からの出力信号を平滑して出力する平滑回路部62と、基準電圧発生回路部34と、分圧回路部35と、誤差増幅器36と、該誤差増幅器36からの出力信号に応じて前記NMOSトランジスタ61のスイッチング制御を行う制御回路部37とを備えている。

#### 【0042】

出力電圧 $V_o$ は分圧回路部35で分圧され、該分圧電圧 $V_d$ と基準電圧 $V_r$ との差電圧を誤差増幅器36で増幅する。制御回路部37は、例えば三角波のパルス信号を発生させる発振回路（図示せず）とコンパレータ（図示せず）とを備え、該発振回路の出力信号と誤差増幅器36の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてNMOSトランジスタ61のオ

ン時間を制御する。NMOSトランジスタ61から出力された信号は、整流ダイオードをなすダイオードD2、コイルL2及びコンデンサC2からなる平滑回路部62で平滑されて出力電圧 $V_o$ として出力される。

#### 【0043】

図9で示したようなスイッチングレギュレータを使用した場合、図5の電源用ICを示した概略図は、図10のようになる。なお、図10では、図5と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に、図5との相違点のみ説明する。

図10における図5との相違点は、PMOSトランジスタ31をなくし、NMOSトランジスタ32をNMOSトランジスタ61にしたことにある。これ以外は、図5と同様であるのでその説明を省略する。

#### 【0044】

なお、前記第1の実施の形態では、1つのスイッチングレギュレータと3つのシリースレギュレータを有する場合を例にして説明したが、本発明はこれに限定するものではなく、少なくとも1つのスイッチングレギュレータ及び少なくとも1つのシリースレギュレータを有する場合に適用するものである。

#### 【0045】

##### 【発明の効果】

上記の説明から明らかなように、本発明の電源用ICによれば、スイッチングレギュレータのスイッチングを行うドライバトランジスタを、前記ICチップの所定の一辺近傍に配置し、シリースレギュレータは、ICチップの該所定の一辺と対向するICチップの辺近傍に配置するようにした。このことから、スイッチングレギュレータから発生するノイズのシリースレギュレータへの影響を低減させることができ、スイッチングレギュレータとシリースレギュレータを1つのICに集積することができる。また、シリースレギュレータから電源供給を受けている高周波回路へのスイッチングレギュレータからのノイズの影響を低減させることができ、電源用ICの信頼性の向上を図ることができる。

#### 【0046】

また、本発明の通信装置によれば、電源用ICにおいて、スイッチングレギュ

レータのスイッチングを行うドライバトランジスタを、前記 IC チップの所定の一辺近傍に配置し、シリーズレギュレータは、IC チップの該所定の一辺と対向する IC チップの辺近傍に配置するようにした。このことから、スイッチングレギュレータから発生するノイズのシリーズレギュレータへの影響を低減させることができ、シリーズレギュレータから電源供給を受けている高周波回路の信号処理への影響を低減させることができると共にスイッチングレギュレータとシリーズレギュレータを 1 つの IC に集積することができ、通信装置の小型化を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態における電源用 IC を使用する通信装置の例を示した図である。

【図 2】 図 1 の電源回路部 2 の構成例を示した図である。

【図 3】 図 2 のスイッチングレギュレータ 21 の回路例を示した図である。

【図 4】 図 2 で示したシリーズレギュレータの回路例を示した図である。

【図 5】 図 2 の電源回路部 2 をなす電源用 IC の例を示した概略図である。

【図 6】 スwitchングレギュレータとシリーズレギュレータとの距離とノイズレベルの関係を示した図である。

【図 7】 図 2 のスイッチングレギュレータ 21 の他の回路例を示した図である。

【図 8】 図 7 のスイッチングレギュレータ 21 を使用した場合の電源用 IC の例を示した概略図である。

【図 9】 図 2 のスイッチングレギュレータ 21 の他の回路例を示した図である。

【図 10】 図 9 のスイッチングレギュレータ 21 を使用した場合の電源用 IC の例を示した概略図である。

【符号の説明】

1 通信装置

2 電源回路部

5 CPU ロジック回路部

1 1 バッテリ

2 1 スイッチングレギュレータ

2 2 充電制御回路

2 3 SIM カードインタフェース回路

2 4 パワーオンロジック回路

3 1, P 1 ~ P 3 PMOS トランジスタ

3 2, 6 1 NMOS トランジスタ

3 3, 6 2 平滑回路部

3 4, R E 1 ~ R E 3 基準電圧発生回路部

3 5, D E 1 ~ D E 3 分圧回路部

3 6, A M P 1 ~ A M P 3 誤差増幅器

3 7 制御回路部

4 0 IC チップ

4 1, 4 2 IC チップの辺

4 3 ~ 4 6 コントローラ

4 7 IC チップの中央部分

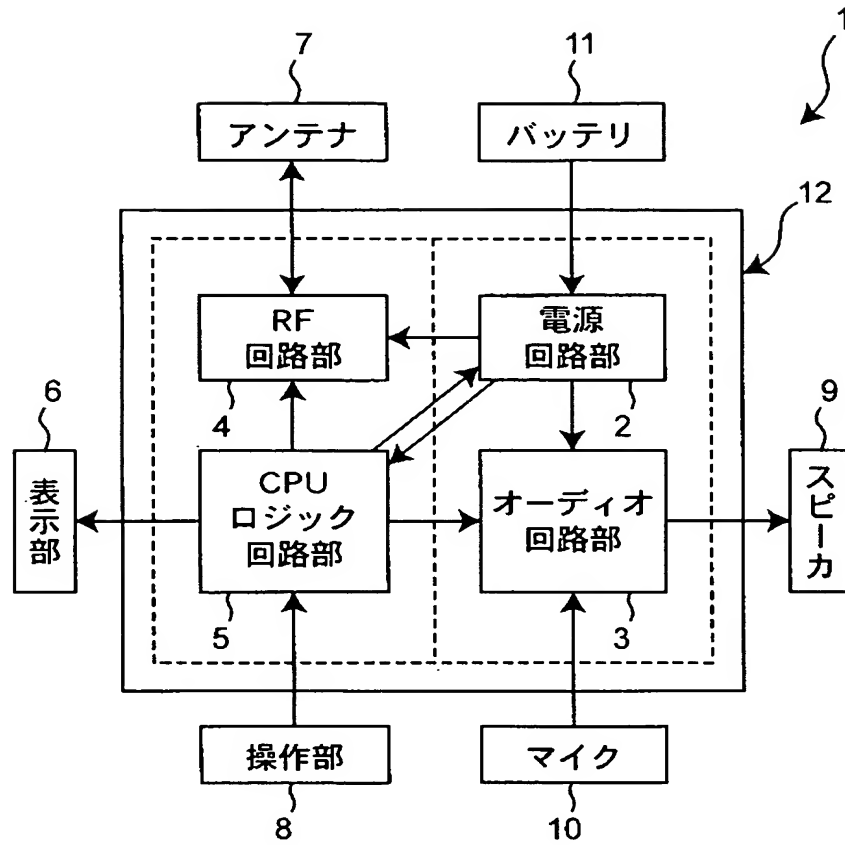
5 1 ダイオード

S R 1 ~ S R 3 シリーズレギュレータ

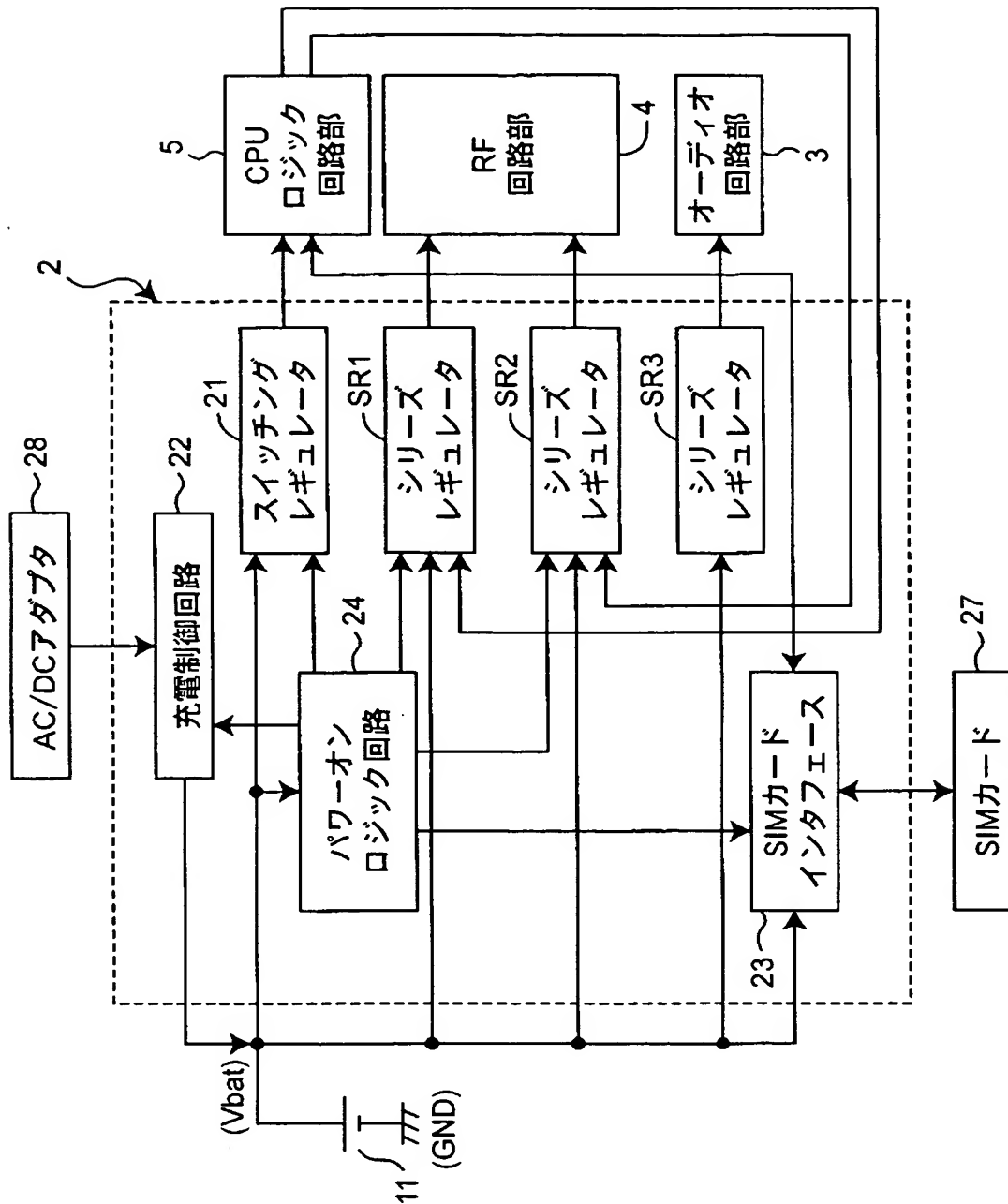
VDD, V IN, V d d 1 ~ V d d 3, GNDP, GNDA, GNDC, GND S パッド

【書類名】 図面

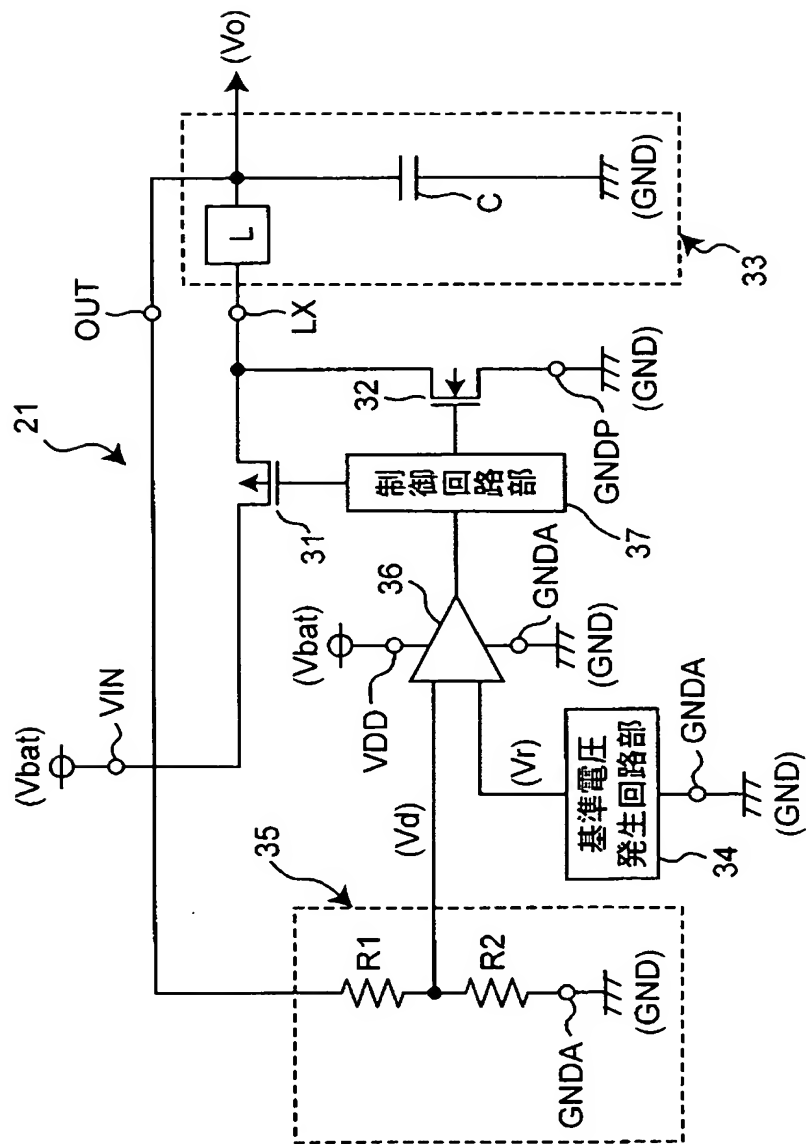
【図 1】



【図 2】

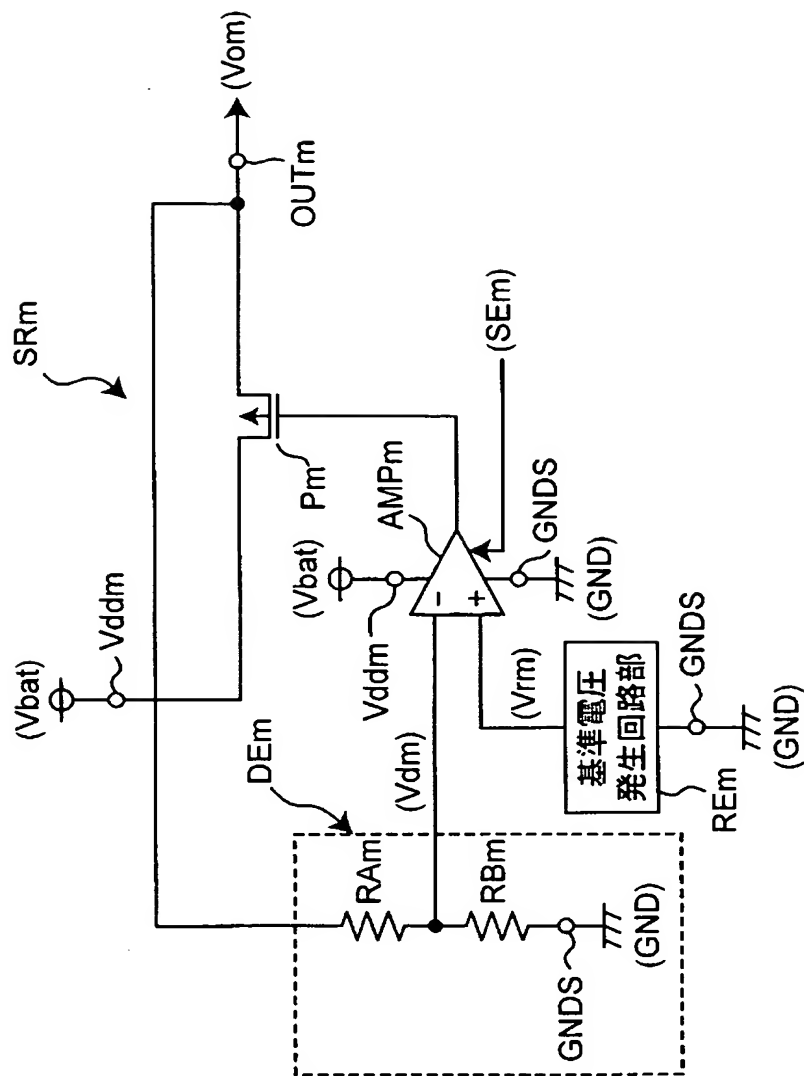


【図 3】

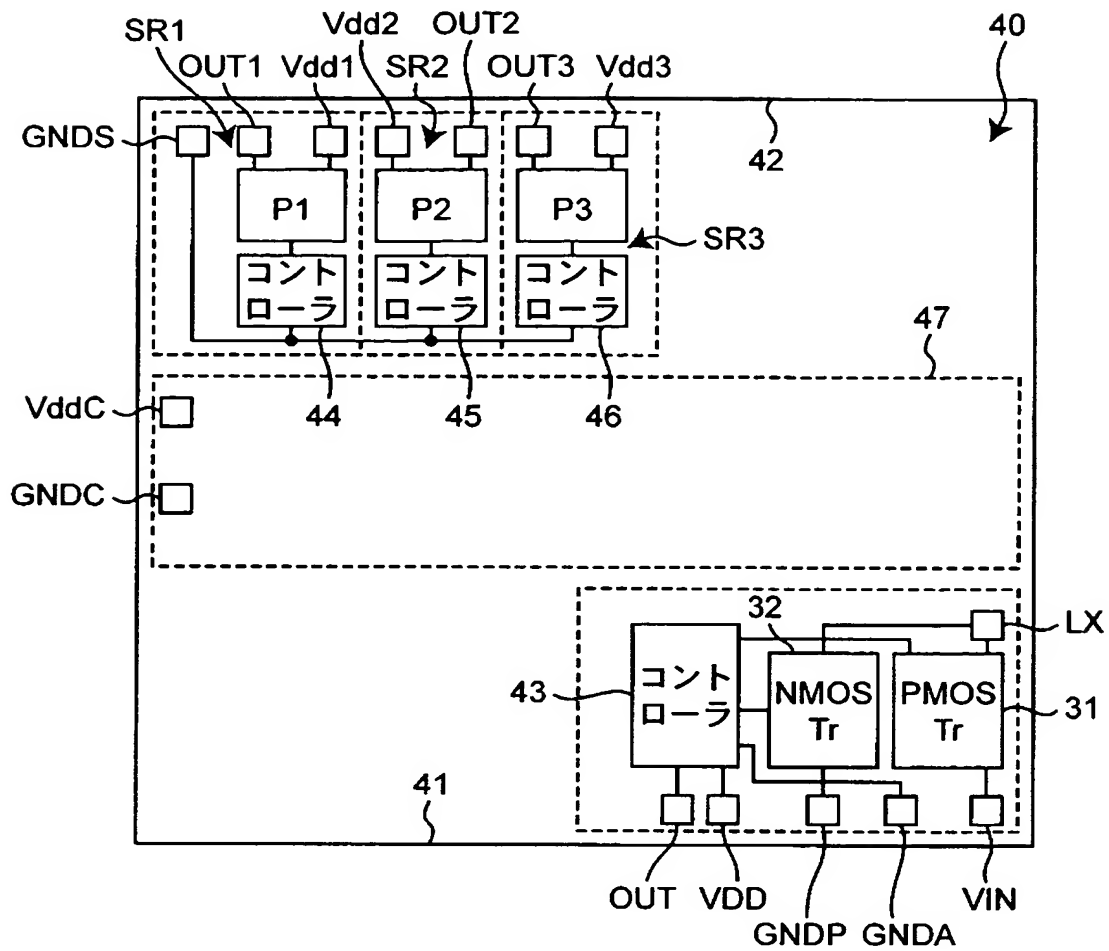




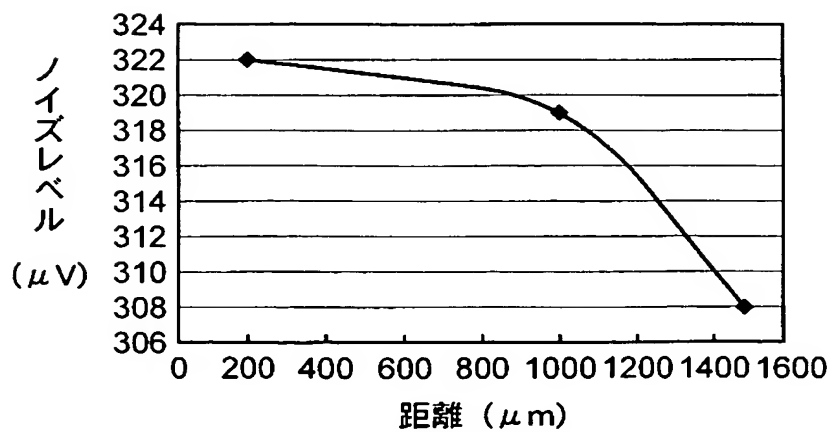
【図 4】



【図 5】

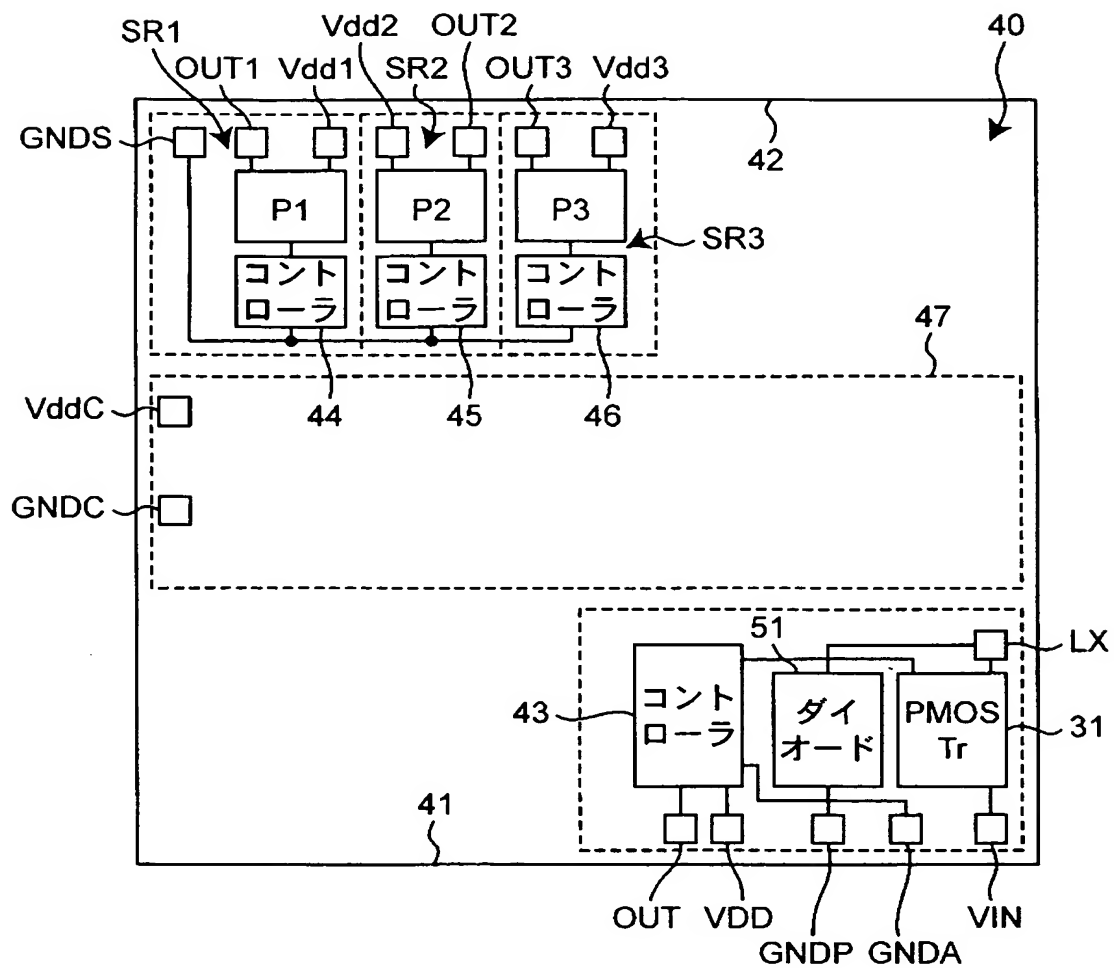


【図 6】

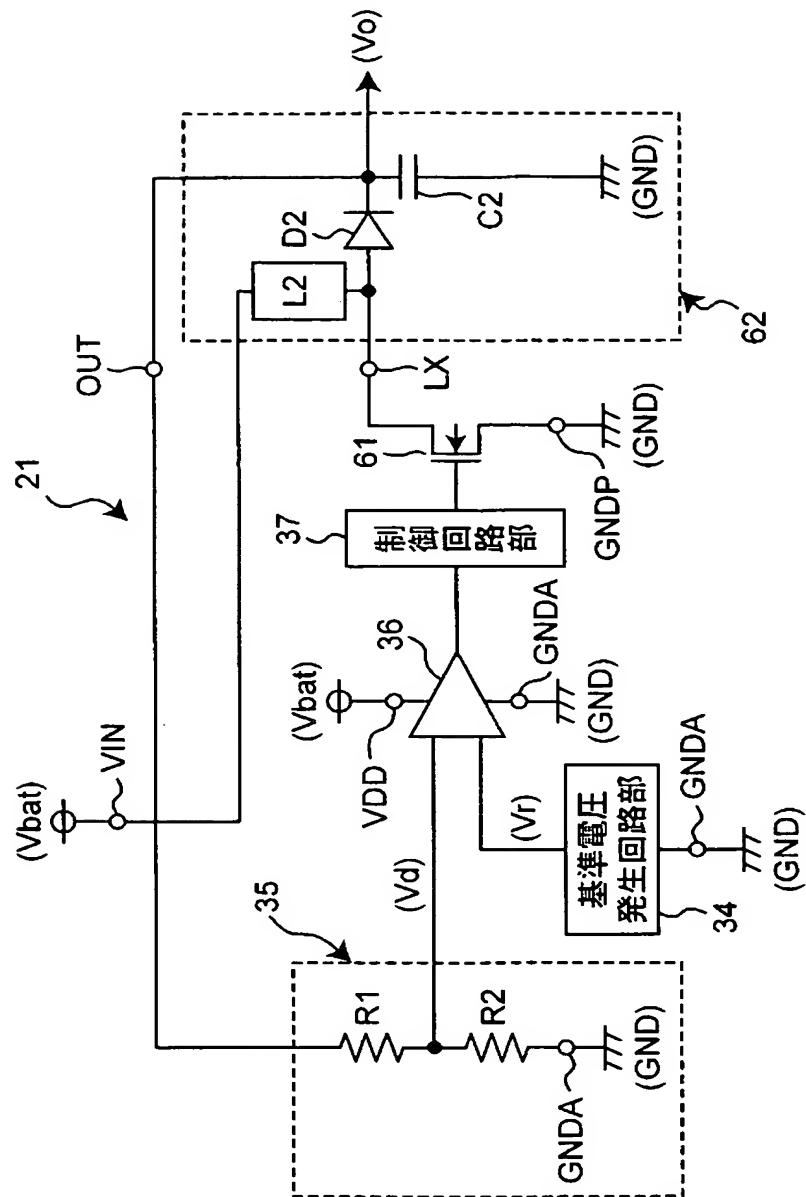




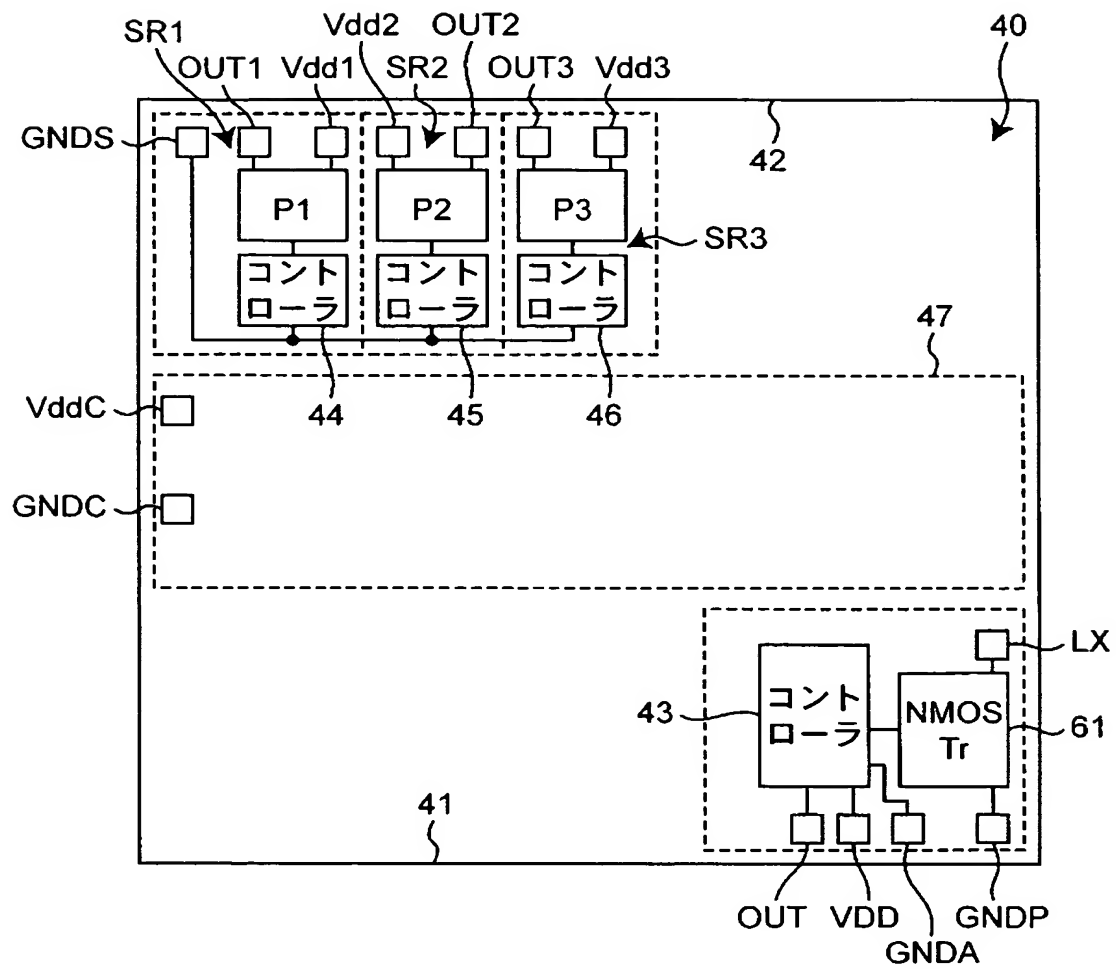
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 高周波ノイズの発生源であるスイッチングレギュレータと R F 回路用のシリーズレギュレータを 1 つのチップにすることができる電源用 I C 及びその電源用 I C を使用した通信装置を得る。

【解決手段】 スwitchングレギュレータ 2 1 のスイッチングを行うドライバトランジスタをなす P M O S トランジスタ 3 1 及び N M O S トランジスタ 3 2 を、I C チップ 4 0 の所定の一边 4 1 近傍に配置され、前記シリーズレギュレータ S R 1 ~ S R 3 の電流出力を行うドライバトランジスタをなす P M O S トランジスタ P 1 ~ P 3 は、前記 I C チップ 4 0 の辺 4 1 と対向する辺 4 2 近傍に配置するようにした。

【選択図】 図 5

特願 2 0 0 2 - 3 6 2 1 4 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 7 4 7 ]

1. 変更年月日

2 0 0 2 年 5 月 1 7 日

[変更理由]

住所変更

住 所

東京都大田区中馬込 1 丁目 3 番 6 号

氏 名

株式会社リコー